

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-200418

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

G06F 12/16

(21)Application number : 05-336731

(71)Applicant : HITACHI MAXELL LTD

(22)Date of filing : 28.12.1993

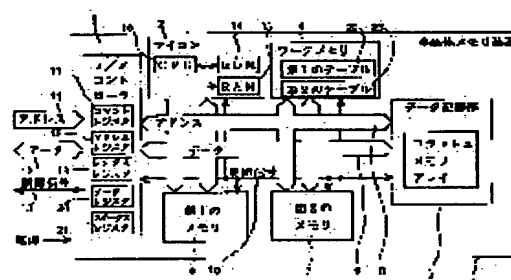
(72)Inventor : SAKAIRI SHIGERU

(54) DATA STORAGE DEVICE AND ITS CONTROL METHOD

(57)Abstract:

PURPOSE: To completely secure the adequacy of data by writing data of a specific unit, which is being transferred when the power source is disconnected, in a data storage part by an internal power source after the power supply is restarted.

CONSTITUTION: A semiconductor memory device 1 consists of a microcomputer 2, an I/F controller 3 which realizes interface protocol with a host device, a work memory 4 for operation, the data storage part 5 consisting of plural flash type EEPROMs, a 1st memory 6, a 2nd memory 7, etc. If the power source is disconnected during data writing from the host device to the 1st memory 6, a real block address value to be operated is read out of the 2nd memory 7 and a flat for 'ineffective data' is set in the area of the 2nd table corresponding to the real block address to inhibit data from being written in the real block address at recovery processing time. After the power supply is restarted, the data in process of transfer are written in the storage part 5 from the start.



LEGAL STATUS

[Date of request for examination] 26.12.2000

[Date of sending the examiner's decision of rejection] 24.02.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-200418

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl.⁵

G 0 6 F 12/16

識別記号

3 4 0 P 9293-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数18 O L (全 16 頁)

(21)出願番号 特願平5-336731

(22)出願日 平成5年(1993)12月28日

(71)出願人 000005810

日立マクセル株式会社

大阪府茨木市丑寅1丁目1番88号

(72)発明者 坂入 茂

大阪府茨木市丑寅一丁目1番88号 日立マ
クセル株式会社内

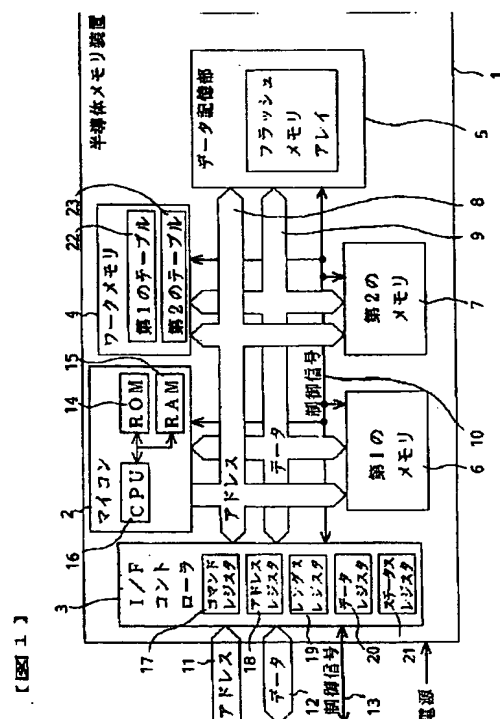
(74)代理人 弁理士 武 顕次郎

(54)【発明の名称】 データ記憶装置ならびにその制御方法

(57)【要約】

【目的】 動作信頼性の高いデータ記憶装置ならびにその制御方法を提供する。

【構成】 電氣的に書き込みが可能で、かつ所定の単位でデータを記憶するデータ記憶部5が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置において、前記データ記憶装置に電源が供給されなくてもデータを一時的に記憶できる第1のメモリ6と、その第1のメモリ6から前記データ記憶部5へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる第2のメモリ7と、前記データ転送時に電源の供給が遮断されたときに、その転送中の所定単位 of データを電源供給再開後にデータ記憶部に再書き込みするための制御手段16とを備えることを特徴とする。



【図1】

【特許請求の範囲】

【請求項 1】 電氣的に書き込みが可能で、かつ所定の単位でデータを記憶するデータ記憶部が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置において、

前記データ記憶装置に電源が供給されなくてもデータを一時的に記憶できる第 1 のメモリと、
その第 1 のメモリから前記データ記憶部へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる第 2 のメモリと、
前記データ転送時に電源の供給が遮断されたときに、その転送中の所定単位のデータを電源供給再開後にデータ記憶部に再書き込みするための制御手段とを備えることを特徴とするデータ記憶装置。

【請求項 2】 電氣的に書き込みが可能で、かつ所定の単位でデータを記憶するデータ記憶部が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置において、

前記データ記憶装置に電源が供給されなくてもデータを一時的に記憶できる第 1 のメモリと、
その第 1 のメモリから前記データ記憶部へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる第 2 のメモリと、
前記データ転送時に外部電源の供給が遮断されたことを検知する電源電圧検出部と、内部電源部と、外部電源と内部電源の切り換えを行う電源切換部とを有する電源制御部と、
前記データ転送時に外部電源の供給が遮断されたときに、前記電源制御部により内部電源に切り換えて、少なくともその転送中の所定単位のデータをデータ記憶部に記憶するための制御手段とを備えることを特徴とするデータ記憶装置。

【請求項 3】 請求項 1 または請求項 2 記載において、前記第 1 のメモリが前記データ記憶部よりもデータ書き込み速度が高速であることを特徴とするデータ記憶装置。

【請求項 4】 請求項 1 または請求項 2 記載において、前記第 1 のメモリが消去処理が不要で、オーバライトが可能で不揮発性メモリであることを特徴とするデータ記憶装置。

【請求項 5】 請求項 1 または請求項 2 記載において、前記第 1 のメモリが FRAM であることを特徴とするデータ記憶装置。

【請求項 6】 請求項 1 または請求項 2 記載において、前記第 1 のメモリが電池でバックアップされた SRAM であることを特徴とするデータ記憶装置。

【請求項 7】 請求項 1 または請求項 2 記載において、前記第 2 のメモリが電氣的に消去が可能な不揮発性メモリであることを特徴とするデータ記憶装置。

【請求項 8】 請求項 1 または請求項 2 記載において、

前記第 2 のメモリが電氣的に消去が可能な EEPROM であることを特徴とするデータ記憶装置。

【請求項 9】 請求項 1 または請求項 2 記載において、前記第 2 のメモリが FRAM であることを特徴とするデータ記憶装置。

【請求項 10】 請求項 1 または請求項 2 記載において、前記第 2 のメモリが電池でバックアップされた SRAM であることを特徴とするデータ記憶装置。

【請求項 11】 請求項 1 または請求項 2 記載において、前記第 1 のメモリと第 2 のメモリが同一のメモリで、エリアを分割して使用していることを特徴とするデータ記憶装置。

【請求項 12】 請求項 1 または請求項 2 記載において、前記データ記憶装置が半導体メモリ装置であることを特徴とするデータ記憶装置。

【請求項 13】 請求項 1 または請求項 2 記載において、前記データ記憶部が不揮発性メモリで構成されていることを特徴とするデータ記憶装置。

【請求項 14】 請求項 1 または請求項 2 記載において、前記データ記憶部を構成する不揮発性メモリがフラッシュ型 EEPROM であることを特徴とするデータ記憶装置。

【請求項 15】 請求項 14 記載において、前記データ記憶部が複数のフラッシュ型 EEPROM で構成されていることを特徴とするデータ記憶装置。

【請求項 16】 電氣的に書き込みが可能で、かつ所定の単位でデータを記憶するデータ記憶部が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置の制御方法において、
前記データ記憶部に電源が供給されなくてもデータを一時的に記憶できる第 1 のメモリと、
その第 1 のメモリから前記データ記憶部へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる第 2 のメモリとを備え、

上位装置からデータ記憶部にデータを書き込む際、前記上位装置から第 1 のメモリへデータ転送する第 1 のステップと、前記第 1 のメモリから前記データ記憶部へデータ転送する第 2 のステップでデータの書き込みが行われ、

データ書込中に電源が遮断され、その後に電源供給が再開した場合、前記第 2 のメモリ内の制御情報から前記第 1 のメモリ内のデータが正当か否かをチェックして、正当である場合は前記制御情報に基づき前記第 2 のステップを実行して、電源遮断時に中断されていた所定単位のデータをデータ記憶部に転送することを特徴とするデータ記憶装置の制御方法。

【請求項 17】 請求項 16 記載において、前記上位装置から第 1 のメモリへデータの書き込みが終了した時点で、前記上位装置に対して書込終了信号を送信すること

を特徴とするデータ記憶装置の制御方法。

【請求項 18】 請求項 16 記載において、前記データ記憶装置が半導体メモリ装置であることを特徴とするデータ記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば半導体メモリ装置やハードディスク装置などの各種データ記憶装置とその制御方法に関するものである。

【0002】

【従来の技術】 各種のコンピュータシステムでは、大量のデータを蓄積、処理するために、従来は磁気ディスクや光ディスクなどのディスク状の記憶媒体が使用されていた。

【0003】 またこのディスク状記憶媒体に代わるものとして、例えば DRAM や SRAM などの固体記憶装置が検討されている。しかしこれらは高価であり、記憶したデータを保持するためには常に電力が必要でそのためにランニングコストが高くつくという欠点を有している。

【0004】 この欠点を解消するため、特開平 2-292798 号に記載されているようなデータ処理システムが提案されている。

【0005】

【発明が解決しようとする課題】 ところがこのデータ処理システムはデータが一定のブロック毎に書き込まれるため、データ書込時に例えば停電やコンセントの引抜きなどで電源供給が遮断されるとその書き込み動作が中断されるが、そのときのデータブロックの正当性の保障ができず、信頼性の問題がある。

【0006】 このことは特にデータ記憶部にフラッシュ EEPROM を使用した場合、このメモリはデータの書込速度が比較的遅いため、前述のようなトラブルが発生したときのデータブロックの正当性の保障が困難となる。

【0007】 データ記憶装置が例えばカード状半導体メモリ装置あるいはハードディスクなどのようにそれ自体が電源を持っておらず、上位装置側から給電して作動するものにおいては、上位装置からデータ記憶装置を不意に取り出したときなどでも、データ記憶装置は電源供給が遮断された状態となり、前述と同様に書込中のデータブロックの正当性の保障ができなくなる。

【0008】 本発明の目的は、このような従来技術の欠点を解消し、動作信頼性の高いデータ記憶装置ならびにその制御方法を提供することにある。

【0009】

【課題を解決するための手段】 前記目的を達成するために、第 1 の本発明は、電氣的に書き込みが可能で、かつ所定の単位でデータを記憶する、例えばフラッシュ型 EEPROM などの不揮発性メモリからなるデータ記憶部

が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置において、前記データ記憶装置に電源が供給されなくてもデータを一時的に記憶できる、例えば FRAM や電池でバックアップされた SRAM などからなる第 1 のメモリと、その第 1 のメモリから前記データ記憶部へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる、例えば FRAM や電池でバックアップされた SRAM などからなる第 2 のメモリと、前記データ転送時に電源の供給が遮断されたときに、その転送中の所定単位のデータについて正当性を保障できるときは電源供給再開後にデータ記憶部に再書き込みするための、例えば CPU などの制御手段とを備えることを特徴とするものである。

【0010】 前記目的を達成するために、第 2 の本発明は、電氣的に書き込みが可能で、かつ所定の単位でデータを記憶する、例えばフラッシュ型 EEPROM などの不揮発性メモリからなるデータ記憶部が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置において、前記データ記憶装置に電源が供給されなくてもデータを一時的に記憶できる、例えば FRAM や電池でバックアップされた SRAM などからなる第 1 のメモリと、その第 1 のメモリから前記データ記憶部へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる、例えば FRAM や電池でバックアップされた SRAM などからなる第 2 のメモリと、前記データ転送時に外部電源の供給が遮断されたことを検知する電源電圧検出部と、内部電源部と、外部電源と内部電源の切り換えを行う電源切換部とを有する電源制御部と、前記データ転送時に外部電源の供給が遮断されたときに、前記電源制御部により内部電源に切り換えて、少なくともその転送中の所定単位のデータをデータ記憶部に記憶するための、例えば CPU などの制御手段とを備えることを特徴とするものである。

【0011】 前記目的を達成するために、第 3 の本発明は、電氣的に書き込みが可能で、かつ所定の単位でデータを記憶する、例えばフラッシュ型 EEPROM などの不揮発性メモリからなるデータ記憶部が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置の制御方法において、前記データ記憶装置に電源が供給されなくてもデータを一時的に記憶できる、例えば FRAM や電池でバックアップされた SRAM などからなる第 1 のメモリと、その第 1 のメモリから前記データ記憶部へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる、例えば FRAM や電池でバックアップされた SRAM などからなる第 2 のメモリとを備え、上位装置からデータ記憶部にデータを書き込む際、前記上位装置から第 1 のメモリへデータ転送する第 1 のステップと、前記

第1のメモリから前記データ記憶部へデータ転送する第2のステップでデータの書き込みが行われ、データ書込中に電源が遮断され、その後に電源供給が再開した場合、前記第2のメモリ内の制御情報から前記第1のメモリ内のデータが正当か否かをチェックして、正当である場合は前記制御情報に基づき前記第2のステップを実行して、電源遮断時に中断されていた所定単位のデータをデータ記憶部に転送することを特徴とするものである。

【0012】

【作用】本発明は前述のような構成になっており、電源が遮断されたときに転送中であつた所定単位のデータが電源供給再開後あるいは外部電源の遮断によって切り換えられた内部電源によってデータ記憶部に書き込まれるため、当該データの正当性の保障が完全となり、動作信頼性の高いデータ記憶装置ならびにその制御方法が提供できる。

【0013】

【実施例】つぎに本発明の実施例を図とともに説明する。図1は第1実施例に係る半導体メモリ装置を説明するためのブロック図である。

【0014】半導体メモリ装置1は、フラッシュメモリへのリード/ライトおよび全体の制御を行うマイコン2、上位装置とのインターフェースプロトコルを実現するI/Fコントローラ3、作業用のワークメモリ4、複数のフラッシュ型EEPROM（フラッシュメモリアレイ）からなるデータ記憶部5、第1のメモリ6、第2のメモリ7、前記各部を接続するアドレスバス8、データバス9、制御信号バス10で主に構成されている。

【0015】そしてアドレスバス11、データバス12、制御信号バス13により上位装置（図示せず）と接続されている。ここでアドレスバス8とアドレスバス11、データバス9とデータバス12、制御信号バス10と制御信号バス13とは、必ずしも対応するものではない。

【0016】前記マイコン2は制御プログラムを格納したROM14、カウンタレジスタならびにブロックナンバレジスタなどの機能を有するRAM15、各制御動作を実行するためのCPU16を備えている。

【0017】前記I/Fコントローラ3は上位装置とのアクセスを実現するために、実行する処理を指定するためのコマンドレジスタ17、データアクセスする論理ブロックアドレスを指定するためのアドレスレジスタ18、転送ブロック数を指定するためのレングスレジスタ19、データの書き込み/読出しを行うためのデータレジスタ20、実行結果を知らせるためのステータスレジスタ21を備えている。

【0018】前記ワークメモリ4は上位装置からの論理ブロックアドレスをデータ記憶部5のフラッシュメモリ群におけるメモリ空間上の実際のアドレスである実ブロックアドレスに変換する第1のテーブル22と、その実

ブロックアドレスに対応するフラッシュメモリのデータ領域を管理する第2のテーブル23とを有している。

【0019】この半導体メモリ装置1は通常のハードディスクと同様に、ある一定のブロック単位でデータアクセスされるものであり、上位装置から論理ブロックアドレスとして任意のデータ領域が指定される。このとき1ブロックのバイト単位は任意であるが、 2^n バイトが望ましく、ここでは1ブロックが512バイトで構成されている場合として説明する。

【0020】第1のテーブル22の構成を図2とともに説明する。第1のテーブル22は前述のように、上位装置からデータアクセスのために指定される論理ブロックアドレスを、複数のフラッシュメモリから構成されるデータ記憶部5のメモリ空間上の実際のアドレスである実ブロックアドレスに変換するためのものである。

【0021】同図において論理ブロックアドレス空間は、論理ブロックアドレス0001h～FFFFhにマッピングされているとする。また同様に、実ブロックアドレス空間も実ブロックアドレス0001h～FFFFhにマッピングされているとする。ここで例えば、上位装置からデータ読出し先として論理ブロックアドレス0030hが指定された場合、第1のテーブル22により論理ブロックアドレス0030hに対応する実ブロックアドレス0088hが参照され、実ブロックアドレス空間の実ブロックアドレス0088hが指定され、対応するデータAが読み出される。

【0022】このように第1のテーブル22を介することにより、論理ブロックアドレスと実ブロックアドレスのアドレス値が常に一致している必要がなくなるので、データ記憶部5のメモリ空間を有効に使用することができ。

【0023】また、データの書き込みのない論理ブロックアドレスについては、例えば論理ブロックアドレスFFFFhのように、第1のテーブル22の所定の領域の値が0000hであり、実ブロックアドレス空間上に対応するデータが無いことを示している。このような論理ブロックアドレスへの読出しについては、ALL0を上位装置に転送すればよい。

【0024】第2のテーブル23は、実ブロックアドレス空間上の実ブロックアドレス内のデータの状態を管理するフラグ情報を格納するためのものである。図3に示すように、実ブロックアドレス0088hに対応する第2のテーブル23の領域には、この実ブロックアドレス内のデータが有効であることを示す「有効データ」フラグ01hが格納されている。さらに、実ブロックアドレス0043hのように実ブロックアドレス内のデータが無効である場合は、「無効データ」フラグ02hが格納されている。これは、以前はこのブロック内のデータが有効であったが、書換えが行われ、ある論理ブロックアドレスに対応するデータが他の実ブロックアドレスにセ

ットされたことを示している。また、「無効データ」フラグはフラッシュメモリにおける消去処理の必要性も示している。

【0025】データの書き込みが可能な実ブロックアドレスについては、実ブロックアドレス0007hのように「空きブロック」フラグ00hが格納されている。また、データの書き込みができない実ブロックアドレスについては、実ブロックアドレス0123hのように「欠陥ブロック」フラグFFhが格納されている。これらのフラグ情報により、実ブロックアドレス空間を構成するフラッシュメモリの状態を管理することができ、フラッシュメモリに対してデータの書き込み、消去などの処理を有効に行うことができる。これらのフラグの値は一例であり、フラッシュメモリの状態を管理できるように識別されていれば、任意に設定してもよい。

【0026】前記第1のテーブル22と第2のテーブル23はデータ記憶部5内のフラッシュメモリをアクセスするのに必要な情報であるので、不揮発メモリに格納される。そのメモリとしては、EEPROMやフラッシュメモリでもよいが、アクセスがEEPROMやフラッシュメモリに比べて高速であり、バイト単位でデータの書換えが可能なFRAMが最適である。また、メモリとしてSRAMを使用し、電源オフ時に不揮発メモリヘッダ情報を格納する方法でもよい。あるいは、電池等でSRAMをバックアップする方法でもよい。

【0027】図4は、第1のメモリ6の構成を示す図である。この第1のメモリ6は、例えばFRAMあるいは電池でバックアップされたSRAMなどのようにデータ記憶部5（フラッシュ型EEPROM）よりもデータ書込速度が高速でかつ不揮発性のメモリで構成されている。そして同図に示すように「ブロック0」から「ブロック255」までのブロックナンバ毎のメモリブロック24を多数備えている。

【0028】このブロックの総数は、任意であって構わない。

【0029】図5は、第2のメモリ7の構成を示す図である。この第2のメモリ7は、例えばFRAMあるいは電池でバックアップされたSRAMまたはEEPROMなどのメモリで構成されている。そしてデータ転送の処理状態を示すフラグ情報を記憶するフラグ情報エリア25、先頭アドレス情報を記憶する先頭アドレス情報エリア26、転送ブロック数を記憶する転送ブロック数情報エリア27、操作対象論理ブロックアドレスを記憶する操作対象論理ブロックアドレス情報エリア28、操作対象実ブロックアドレスを記憶する操作対象実ブロックアドレス情報エリア29、対象論理ブロックアドレスを記憶する多数の対象論理ブロックアドレス情報エリア30などを有している。

【0030】これらフラグ情報エリア25、先頭アドレス情報エリア26、転送ブロック数情報エリア27、操

作対象論理ブロックアドレス情報エリア28、操作対象実ブロックアドレス情報エリア29、対象論理ブロックアドレス情報エリア30によってデータ転送の処理に必要な各種制御情報を格納する制御情報エリア31が構成されている。

【0031】次に図6ないし図13を用いてマイコン2の処理動作について説明する。

【0032】図7に示すように上位装置から電源が供給されると、まずステップ（以下、Sと略記する）1において各部がイニシャライズされ、S2で電源遮断に対応する処理がなされるが、この処理については後で説明することにして、ここでは上位装置から半導体メモリ装置に通常の状態が電源が供給されている場合を説明する。すなわちS2において第2のメモリ内のフラグ情報が「11H」あるいは「12H」でないと判断されると、S5に進む。

【0033】S5ではコマンド待ちかどうか判断し、コマンド待ちであればそれを受信し、S6でそのコマンドがデータ書き込みなのかどうか判断され、データ書き込みであれば後述する書き込み処理のサブルーチンをコールする。また、S7で受信した前記コマンドがデータ読み出しなのかどうか判断され、データ読み出しであれば後述する読み出し処理のサブルーチンをコールする。

【0034】その他のコマンドであればS8でそのコマンドに対応した処理を実行し、コマンドの処理が終了するとS9で終了の信号を上位装置に送り、次のコマンド待ちの状態が待機する。

【0035】次に図8を用いて書き込み処理を説明する。S10で上位装置からアドレスレジスタおよびレンジレジスタに入力された論理ブロックアドレスの先頭アドレス値および転送ブロック数を第2のメモリに設定する。

【0036】次にS11で第1のステップを実行する。この第1のステップは図9に示すようにまず、S20でフラグ情報「10H」、すなわち上位装置から第1のメモリへデータ書込中を示すフラグ情報を第2のメモリに設定する。

【0037】S21でレンジレジスタに入力されている転送されるブロック数をマイコン中のカウンタ（RAM）に設定し、S22で第1のメモリ内のメモリブロックを指定するブロックナンバレジスタの値を「0」にする。

【0038】そしてS23において、上位装置からの1ブロック分のデータをブロックナンバの示すメモリブロック（図4参照）に転送する。転送が終了するとS24でブロックナンバの値を+1インクリメントするとともに、S25でカウンタの値を-1デクリメントする。

【0039】そして、カウンタの値が「0」になるまでS23～S25の動作が繰り返され、カウンタ値が「0」になった、すなわち上位装置から第1のメモリへ

のデータの書き込み（転送）が終了したとS26で判断されると、第1のメモリへのデータの書き込み終了を示すフラグ情報「11H」を第2のメモリに設定して、第1のステップを終了する。

【0040】この第1のステップが終了すると、図8に示すようにS12で第2のステップの実行がなされる。この第2のステップは図10ならびに図11に示すようにまず、S30でフラグ情報「12H」、すなわち第1のメモリからデータ記憶部へのデータ書込中を示すフラグ情報を第2のメモリに設定する。

【0041】S31で第2のメモリから先頭アドレス値および転送ブロック数を読み出し、それらから書き込み対象の論理ブロックアドレスを算出する。例えば先頭アドレス値が0001hで、転送ブロック数が3の場合、書き込み対象の論理ブロックアドレスは0001h～0003hと算出される。

【0042】S32で算出した書き込み対象の論理ブロックアドレス値を第2のメモリに格納するとともに、転送されるブロック数をカウンタ（RAM）に設定し、S33で第1のメモリ内のメモリブロックを指定するブロックナンバレジスタの値を「0」にする。

【0043】次にS34で、転送ブロック数とカウンタの値を元にして、第2のメモリから書き込み対象の論理ブロックアドレスを読み出す。そしてS35で、第1のテーブルから、書き込み対象の論理ブロックアドレスに対応する実ブロックアドレスが存在するかを検索し、S36で実ブロックアドレスが存在すると判断されると、S37で実ブロックアドレスに対応する第2のテーブルの領域に「無効データ」フラグを設定する。

【0044】次いでS38で第2のテーブルより「空きブロック」フラグを検索し、その「空きブロック」の実ブロックアドレスを書き込み先ブロックアドレスとして設定して（S39）、S40で書き込み対象の論理ブロックアドレス値と書き込み先の実ブロックアドレス値を第2のメモリ内の操作対象論理ブロックアドレスと操作対象実ブロックアドレスのエリアにそれぞれ格納する。

【0045】そしてS41でブロックナンバで示されている第1のメモリのメモリブロックから1ブロック分のデータを、実ブロックアドレスで指定されているデータ記憶部の領域に書き込む。次にS42で、書き込み先の実ブロックアドレスに対応する第2のテーブルの領域に「有効データ」フラグを設定し、S43で書き込み対象の論理ブロックアドレスに対応する第1のテーブルの領域に、書き込み先の実ブロックアドレス値を設定する。

【0046】しかる後、S44でブロックナンバの値をインクリメントし、S45でカウンタの値をデクリメントし、S46でカウンタの値が0になったかどうか判断する。カウンタの値が0になるまで前記S34からS46の処理動作を繰り返して、所定ブロックのデータを第1のメモリからデータ記憶部へ転送する。

【0047】データ転送が終了するとS47で第2のメモリに設定した制御情報をクリアし、S48で第2のメモリのフラグ情報を「00H」に設定して、第2のステップを終了する。この第2のステップの実行は、前述した図7のS4においても同様に行われる。

【0048】再び図8に戻るが、S12で第2のステップを実行するとS13で消去ブロックがあるかどうか判断され、無ければ書き込み処理を終了する。

【0049】次に図12を用いて読み出し処理について説明する。まずS50でアドレスレジスタおよびレンジレジスタの値を読み出し、論理ブロックアドレスおよび転送されるブロック数を読み出し、S51で転送ブロック数をカウンタに設定する。

【0050】次に読み出した論理ブロックアドレスの先頭アドレス値と転送ブロック数およびカウンタの値から、読み出される論理ブロックアドレスを算出する。次いでそれを第1のテーブルより実ブロックアドレスに変換し（S53）、S54で実ブロックアドレス内のデータを読み出し、I/Fコントローラを介して上位装置に転送する。そしてS55でカウンタの値をデクリメントし、S56でカウンタの値が0になったかどうか判断され、カウンタ値が0になるまでS52からS56までの処理動作を繰り返してデータの読み出しを行い、カウンタ値が0になると読み出し処理を終了する。

【0051】次に図13を用いて消去処理について説明する。まずS60で第2のテーブルを検索し、「無効データ」フラグを捜し、S61で「無効データ」フラグを含む消去ブロック単位内の「有効データ」フラグを検索し、S62で「有効データ」フラグが有るかどうかを判断する。「有効データ」フラグが無ければS63で消去ブロック単位での消去操作を実行する。

【0052】前述のS62で「有効データ」フラグが有ると判断されると、S64で「有効データ」フラグである実ブロックアドレス内のデータをワークメモリへ退避させ、S65で第2のテーブルより消去ブロック以外の範囲での「空きブロック」フラグを検索する。

【0053】そしてS66で「空きブロック」の実ブロックアドレスに、前述したワークメモリへ退避させてあったデータを書き込む。次にS67で第1のテーブルより退避元の実ブロックアドレスを検索し、それを書き込み先の実ブロックアドレスに変更し、書き込まれた実ブロックアドレスに対応する第2のテーブルの領域に「有効フラグ」を設定して（S68）、S69で消去ブロック単位での消去操作を実行する。

【0054】しかる後、S70で消去ブロック内の実ブロックアドレスに対応する第2のテーブルの領域に「空きフラグ」を設定して、消去処理を終了する。

【0055】以上の説明は上位装置から半導体メモリ装置へ電源が供給されている通常の処理動作であるが、停電、あるいは上位装置のコンセントを不意に引き抜いた

場合、または半導体メモリ装置の引き抜きなどによって上位装置との接続が不意に遮断されたりする場合、すなわち上位装置から半導体メモリ装置への電源が遮断されることがある。

【0056】次にこの場合の対応について図6ならびに図7を用いて説明する。図6は、状態フラグを説明するための図である。同図に示すようにフラグ値が「00H」の場合はレディ状態、「10H」の場合は上位装置から第1のメモリへのデータ書き込み中、「11H」の場合は上位装置から第1のメモリへのデータ書き込み終了、「12H」の場合は第1のメモリからデータ記憶部へのデータ書き込み中をそれぞれ示している。

【0057】図7のS2において上位装置から第1のメモリへのデータ書き込み終了（「11H」）または第1のメモリからデータ記憶部へのデータ書き込み中（「12H」）ということは、その時点で上位装置から半導体メモリ装置への電源が遮断されても転送中のデータの復旧可能な状態であることを示す。一方、上位装置から第1のメモリへのデータ書き込み中（「10H」）に電源が遮断されると、第1のメモリへは当該ブロックのデータが途中までしか記憶されていないため、そのデータの復旧は不可能であることを示す。従ってこのS2では、その時点において半導体メモリ装置への電源が遮断されたとき、データの復旧は可能かどうかを判断している。

【0058】その判断結果、フラグ情報が「11H」あるいは「12H」で転送中のデータの復旧が可能であると判断すると、S3で第2のメモリから操作対象実ブロックアドレス値を読み出し、その実ブロックアドレスに対応する第2のテーブルの領域に「無効データ」のフラグを設定して、復旧処理時にはその実ブロックアドレスへのデータの書き込みを禁止する。次にS4で前述の第2のステップを実行して、電源供給再開後に前述の電源遮断で転送途中であったデータを最初からデータ記憶部へ書き込む。

【0059】図14ないし図16は、処理動作の変形例を説明するための図である。図14において前記図7と相違する点は、S8の後に書き込み処理あるいは読み出し処理とは無関係にS9でコマンド処理の終了を上位装置に返送する点である。

【0060】また図15において前記図8と相違する点は、S11とS12の間にコマンド処理の終了を上位装置に返送するS100がある点である。

【0061】さらに図16において前記図12と相違する点は、S56の後にコマンド処理の終了を上位装置に返送して（S101）読み出し処理を終了する点である。

【0062】このように所定のコマンド処理が終了すると、その旨を逐次上位装置に連絡することにより、上位装置の待ち時間を可及的に短縮して上位装置での他の処理が可能となり、上位装置の処理効率が高められる。

【0063】図17ないし図23は、本発明の第2実施例を説明するための図である。図17は半導体メモリ装置のブロック図で、図1に示した第1実施例のものと相違する主な点は、電源遮断時のバックアップ用内部電源部（内部電源）33、電源切換部（電源切換回路）34、電源電圧検出部（電源電圧検出回路）35などから構成された電源制御部を備えた点である。

【0064】図18は、この電源制御部の具体的な構成を示すブロック図である。電源制御部は、外部からの電源電圧が正常に印加されているかどうかを検出する電源電圧検出回路35と、内部電源33と、この内部電源33からの電源電圧の印加を制御する内部電源ON/OFFスイッチ36と、印加する電源を外部電源にするか内部電源にするかを切り換える電源切換回路34とから構成されている。

【0065】前記電源電圧検出回路35は、外部から半導体メモリ装置1内に供給される外部電源の電圧を監視し、所定の電圧値、例えば5Vで半導体メモリ装置1が動作している場合で、基準電圧を4.55Vとしたときは、4.55Vと外部電源電圧を比較し、外部電源電圧が4.55V以下になったときに検出信号を外部に出力する。この検出信号は、電源切換回路34とマイコン2の割り込み信号端子へ送られる。この検出信号により、マイコン2は外部からの電源供給が無くなったことを検知する。

【0066】前記内部電源33は、半導体メモリ装置1内にあって各内部回路を動作することが可能な電源である。この電源としては例えばニッケル-カドミウム電池などの二次電池、あるいは電気二重層コンデンサ（松下電子部品社製 商品名ゴールドキャパシタAL 定格電圧2.5V 静電容量10F）が好適である。

【0067】前記内部電源ON/OFFスイッチ36は、マイコン2からの制御信号により、半導体メモリ装置1内の各回路に内部電源33から電源電圧を供給するかどうかを指定することができる。外部電源からの電源供給が無く、内部電源33で内部回路が動作している場合は、このスイッチ36の制御により、マイコン2から電源OFF操作を行うことができる。

【0068】前記電源切換回路34は、電源電圧検出回路35からの検出信号により内部回路への供給電源を切り換えることができる。通常、外部から電源電圧が供給されている場合は、外部電源からの電源電圧供給に指定され、この外部電源入力途絶えた場合に、検出信号により内部電源33からの電源供給に切り換える。

【0069】この電源制御部の具体的な回路図を図19に示す。

【0070】前記電源電圧検出回路35は、外部電源電圧と基準電圧とを比較する比較器37と、前記基準電圧を生成する電源38とから構成されている。ここで前記電源38は、ツェナーダイオードや供給電源電圧の抵抗

分割であっても差支えない。前記比較器37からの出力は、外部電源電圧が基準電圧よりも高い場合はハイ「H」レベルの信号を出力し、逆に低い場合はロー「L」レベルの信号を出力し、このLレベルの信号がマイコン2への割り込み信号となる。

【0071】前記内部電源33は、例えば前述の電解二重層コンデンサなどの大容量のコンデンサから構成されている。電源電圧5Vとして、内部回路の動作を保証するように、複数のコンデンサの組合せで構成されることもある。

【0072】前記内部電源ON/OFFスイッチ36は、内部電源33からの電源を供給電源出力に印加するかどうかを決定する電界効果トランジスタ(FET)39から構成されている。このFET39は、ゲートへの印加電圧がLレベルのとき駆動し、内部電源33からの供給電源出力が可能となる。

【0073】前記電源切換回路34は、電源電圧検出回路35からの検出信号により外部電源入力を供給電源出力に供給するかどうかを決定するFET40と、電流の逆流を防止するダイオード41と、トランジスタ42とを有している。

【0074】外部電源入りに外部電源電圧が印加され、前記電源電圧検出回路35からの検出信号がHレベル(外部電源電圧が基準電圧よりも高い)の場合、トランジスタ42がONし、FET40が駆動して、外部電源入力から供給電源出力に電源電圧が印加されるとともに、内部電源33であるコンデンサへの充電も行われる。

【0075】次に外部電源が途絶え、前記電源電圧検出回路35からの検出信号がLレベル(外部電源電圧が基準電圧よりも低い)になった場合、FET40の駆動がOFFされ、外部電源入力から供給電源出力への電源電圧の印加が止まる。この時、前記内部電源ON/OFFスイッチ36がONされている場合は、内部電源33から供給電源出力への電源電圧の印加が実行される。

【0076】図20は、電源制御部の変形例を示す回路図である。図19に示す回路図では電源電圧検出回路35からの検出信号が電源切換回路34とマイコン2の両方に出力されているが、図20の電源制御部では電源電圧検出回路35からの検出信号がマイコン2へのみ割り込み信号として出力される。

【0077】図21ないし図23は、外部電源が遮断された場合のマイコン制御のフローチャートである。

【0078】図21ならびに図22は第2ステップのフローチャートであり、S30～S48までは前に説明したので、ここでは説明を省略する。

【0079】図22に示すようにS48の次にS110で外部電源OFFフラグがあるかどうかの判断がなされ、外部電源OFFフラグが無ければ第2ステップを終了し、外部電源OFFフラグが有ればS111で外部電源OFFフラグをクリアした後、S112で外部電源を

OFFする。

【0080】前記外部電源OFFフラグのセットは、図23に示す割込処理のルーチンによってなされる。この処理は前述したように電源電圧検出部35からマイコン2に割り込み信号が入力されると起動し、S120で第2のメモリ内にフラグ情報「11H」あるいは「12H」がセットされているかどうかの判断がなされる。

【0081】その判断結果、フラグ情報が「11H」あるいは「12H」であると判断すると、S121で外部電源OFFフラグをセットし、電源の供給を内部電源33に切り換えて、転送中の当該ブロックデータ、あるいは第1のメモリに記憶されているデータのうち転送中のものを含んでまだデータ記憶部に転送されていない残りの全てのデータをデータ記憶部5に記憶するまで、その動作を内部電源33でバックアップする。

【0082】S120でNOと判断されると、S122で電源をOFFする。

【0083】前記実施例では第1のメモリと第2のメモリが別のメモリであったが、第1のメモリと第2のメモリが同一のメモリであって、そのエリアを分割して使用することも可能である。

【0084】前記実施例では半導体メモリ装置の場合について説明したが、本発明はこれに限定されるものではなく、例えばハードディスク装置などのように所定の単位でデータが記憶できる他のデータ記憶装置にも適用可能である。

【0085】

【発明の効果】本発明は前述のような構成になっており、電源が遮断されたときに転送中であった所定単位のデータが電源供給再開後あるいは外部電源の遮断によって切り換えられた内部電源によってデータ記憶部に書き込まれるため、当該データの正当性の保障が完全となり、動作信頼性の高いデータ記憶装置ならびにその制御方法が提供できる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る半導体メモリ装置の構成を示すブロック図である。

【図2】第1のテーブルの構成、機能を説明するための説明図である。

【図3】第2のテーブルの構成、機能を説明するための説明図である。

【図4】第1のメモリの構成図である。

【図5】第2のメモリの構成図である。

【図6】第2のメモリに記憶されるフラグ値の内容を示す説明図である。

【図7】半導体メモリ装置のメインルーチンを示すフローチャートである。

【図8】データの書き込み処理を示すフローチャートである。

【図9】第1のステップを示すフローチャートである。

【図10】第2のステップを示すフローチャートである。

【図11】第2のステップを示すフローチャートである。

【図12】データの読み出し処理を示すフローチャートである。

【図13】データの消去処理を示すフローチャートである。

【図14】メインルーチンの変形例を示すフローチャートである。

【図15】その変形例でのデータの書き込み処理を示すフローチャートである。

【図16】その変形例でのデータの読み出し処理を示すフローチャートである。

【図17】本発明の第2実施例に係る半導体メモリ装置の構成を示すブロック図である。

【図18】その半導体メモリ装置の電源制御部を示すブロック図である。

【図19】その電源制御部の回路図である。

【図20】その電源制御部の変形例を示す回路図である。

【図21】その半導体メモリ装置の第2のステップのフローチャートである。

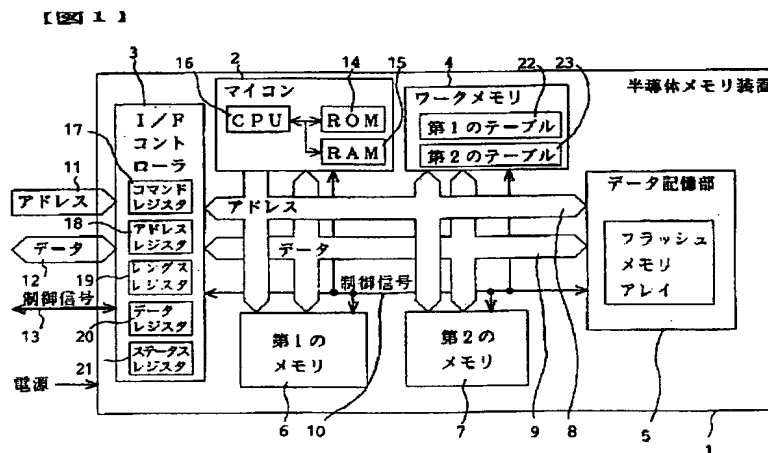
【図22】その半導体メモリ装置の第2のステップのフローチャートである。

【図23】その半導体メモリ装置の割り込み処理のフローチャートである。

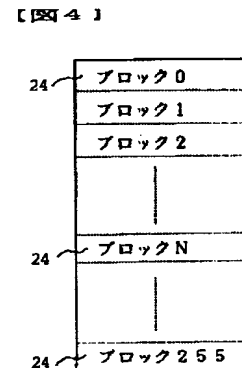
【符号の説明】

- 1 半導体メモリ装置
- 2 マイコン
- 3 I/Fコントローラ
- 4 ワークメモリ
- 5 データ記憶部
- 6 第1のメモリ
- 7 第2のメモリ
- 14 ROM
- 15 RAM
- 16 CPU
- 17 コマンドレジスタ
- 18 アドレスレジスタ
- 19 レンダレジスタ
- 20 データレジスタ
- 21 ステータスレジスタ
- 22 第1のテーブル
- 23 第2のテーブル
- 24 メモリブロック
- 25 フラグ情報エリア
- 26 先頭アドレス情報エリア
- 27 転送ブロック数情報エリア
- 28 操作対象論理ブロックアドレス情報エリア
- 29 操作対象実ブロックアドレス情報エリア
- 30 制御状態エリア
- 33 内部電源部（内部電源）
- 34 電源切換部（電源切換回路）
- 35 電源電圧検出部（電源電圧検出回路）
- 36 内部電源ON/OFFスイッチ

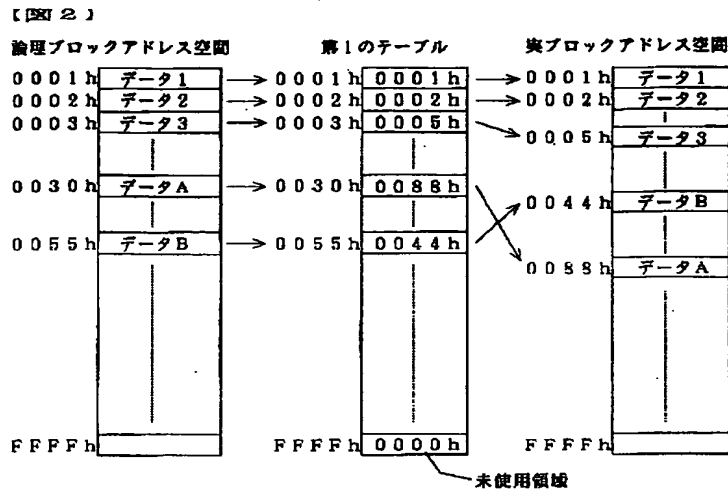
【図1】



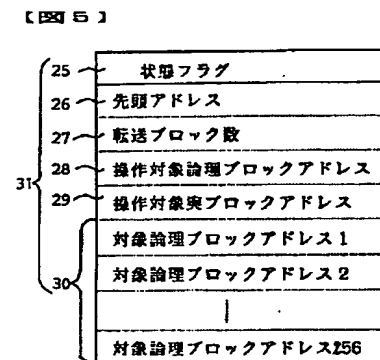
【図4】



【図2】



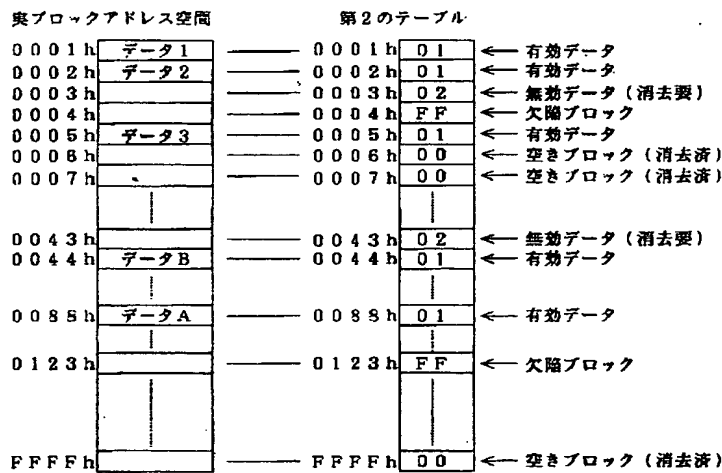
【図5】



【図3】

【図6】

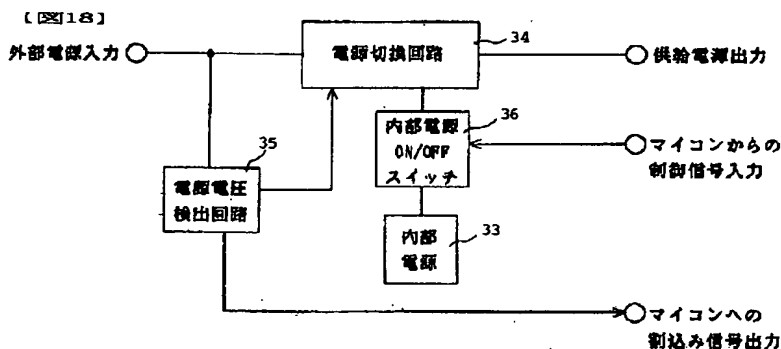
【図3】



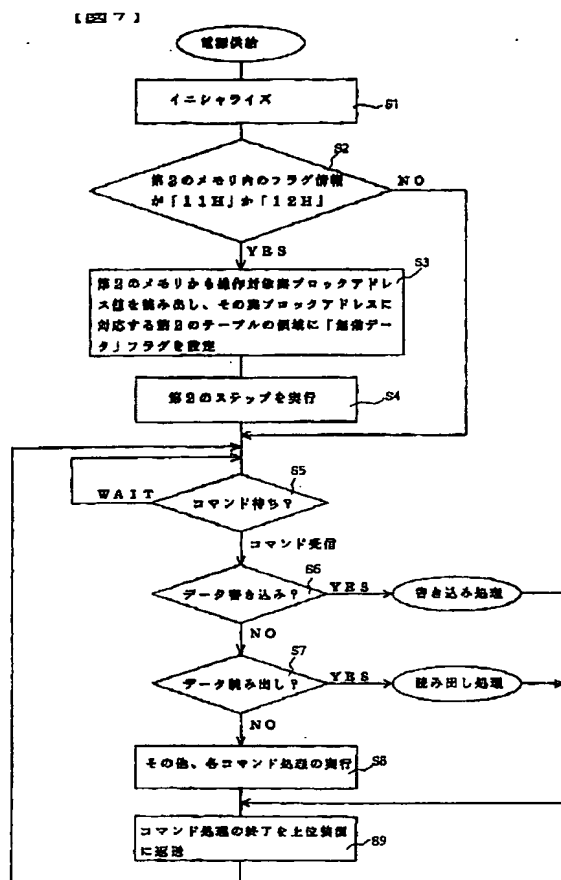
【図6】

フラグ値	内容
00H	レディ状態
10H	第1のメモリへのデータ書き込み中
11H	第1のメモリへのデータ書き込み終了
12H	データ記憶部へのデータ書き込み中

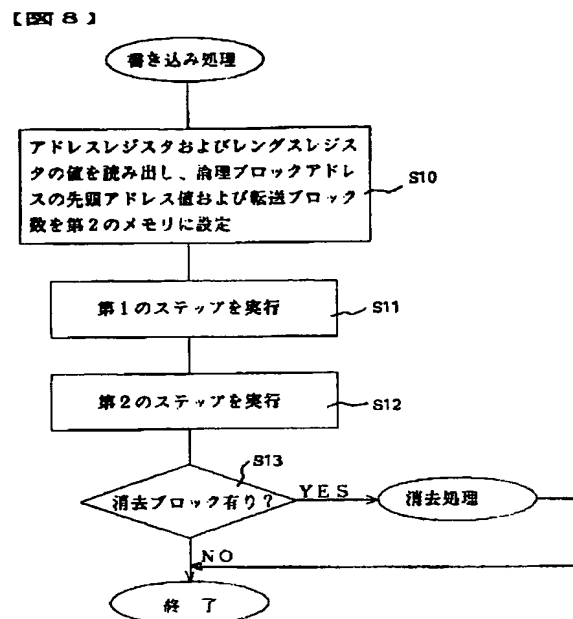
【図18】



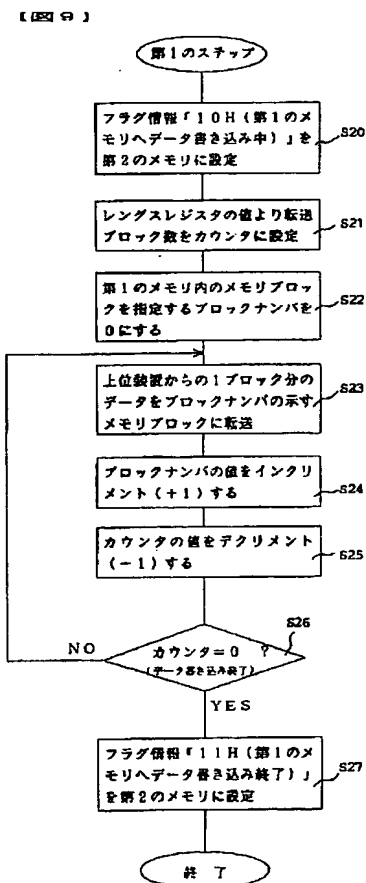
【図7】



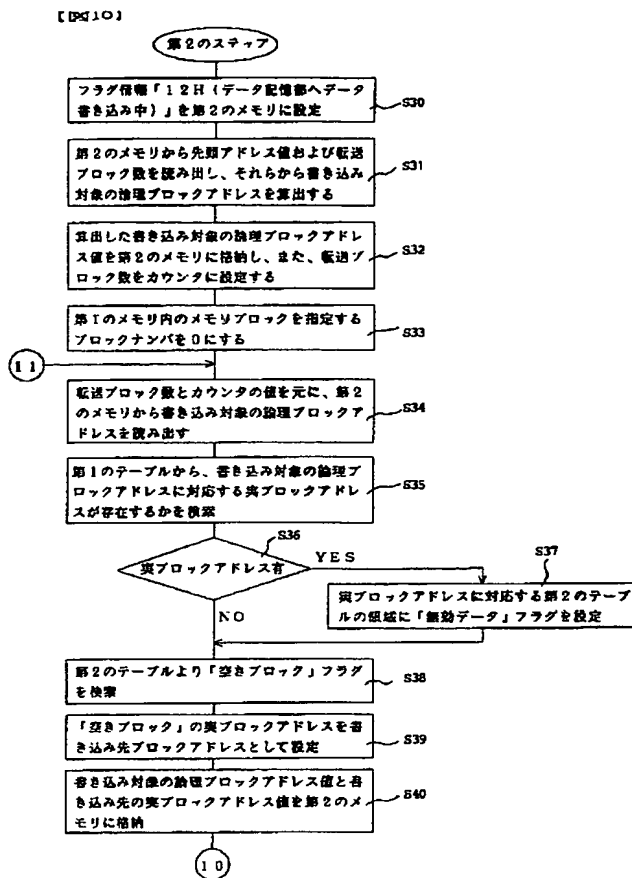
【図8】



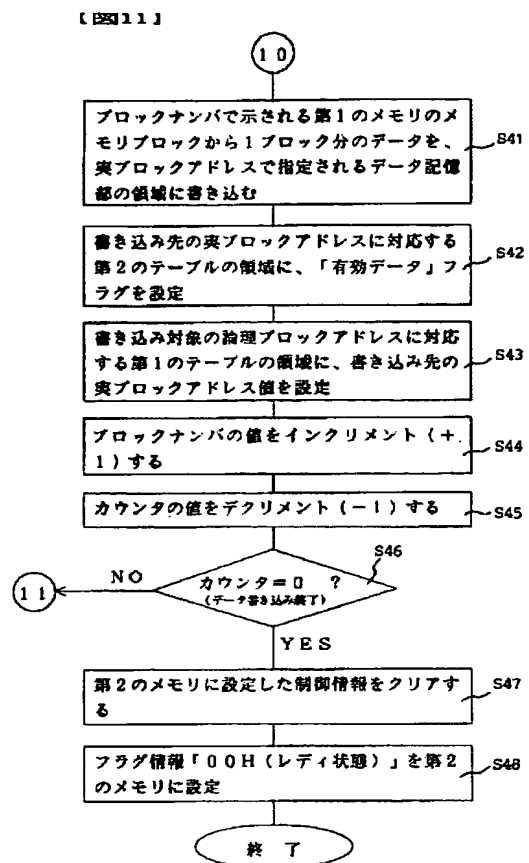
【図9】



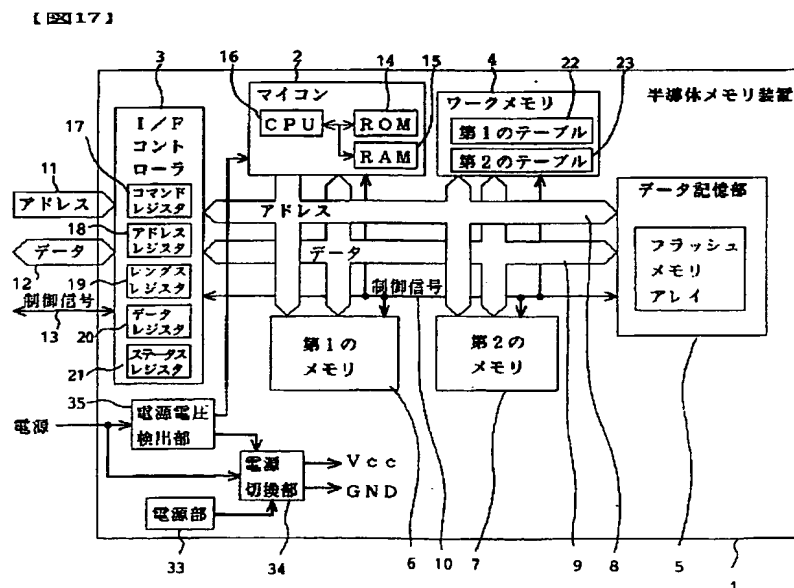
【図10】



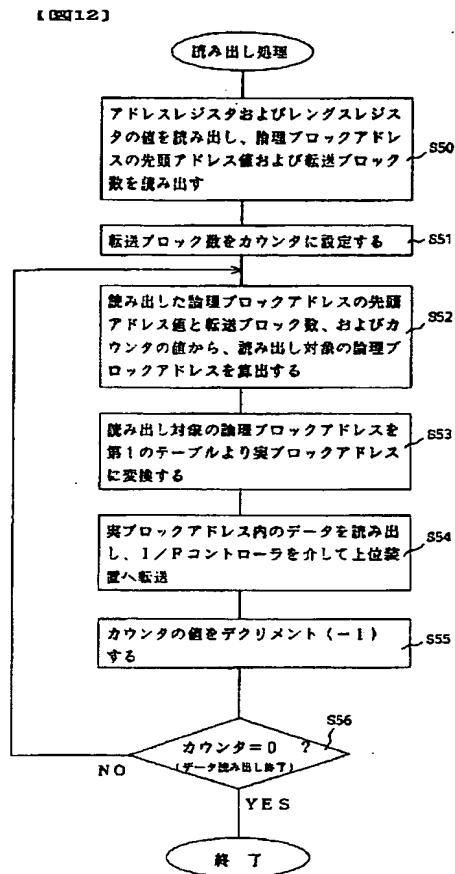
【図11】



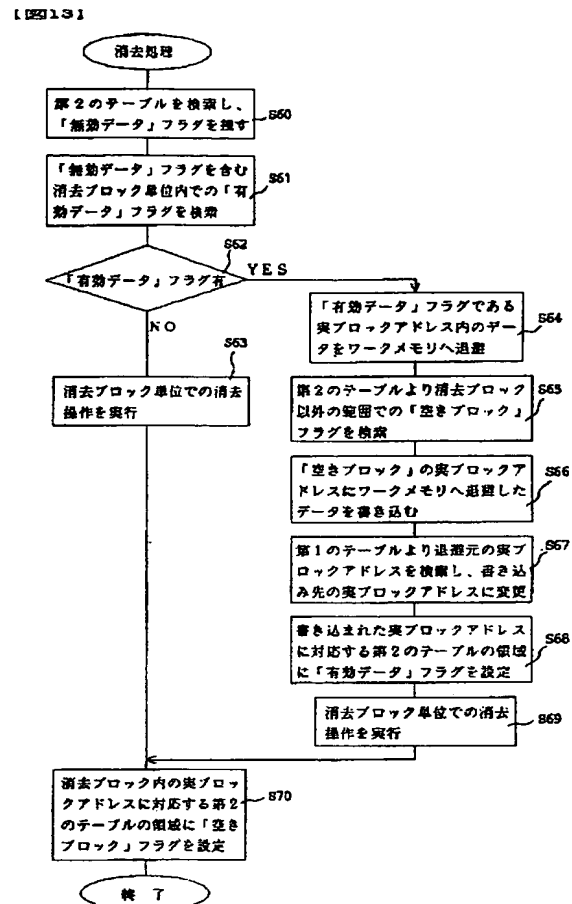
【図17】



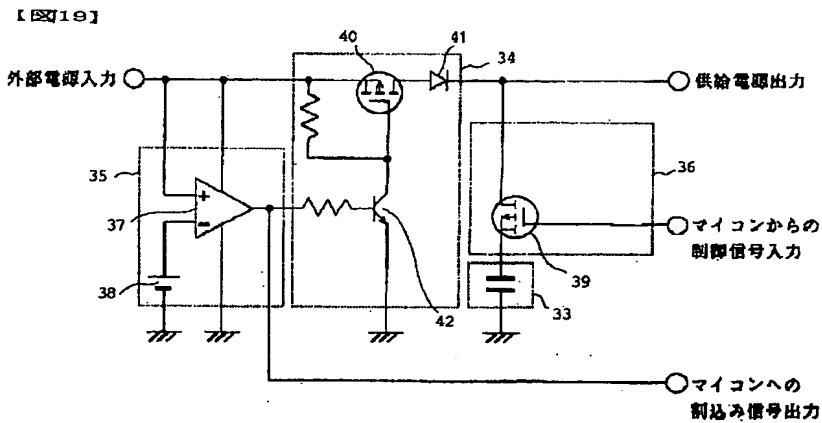
【図 12】



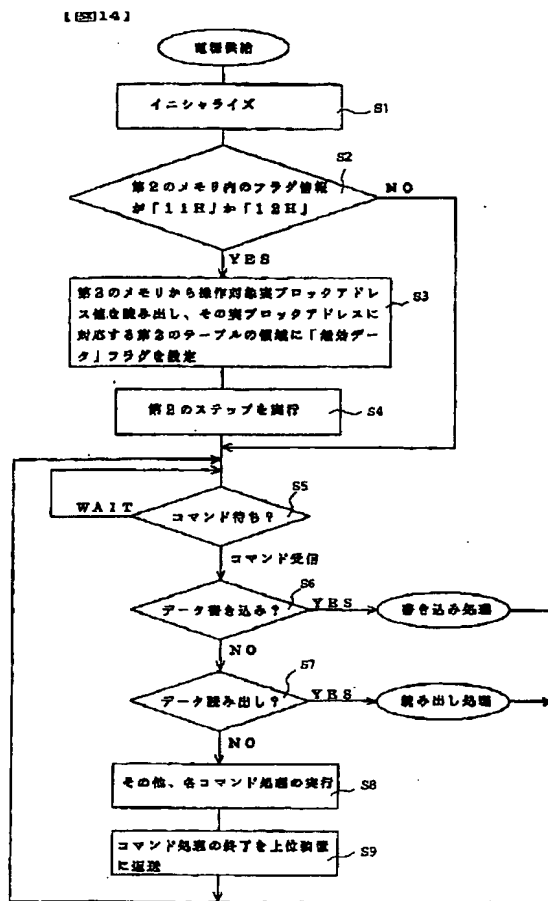
【図 13】



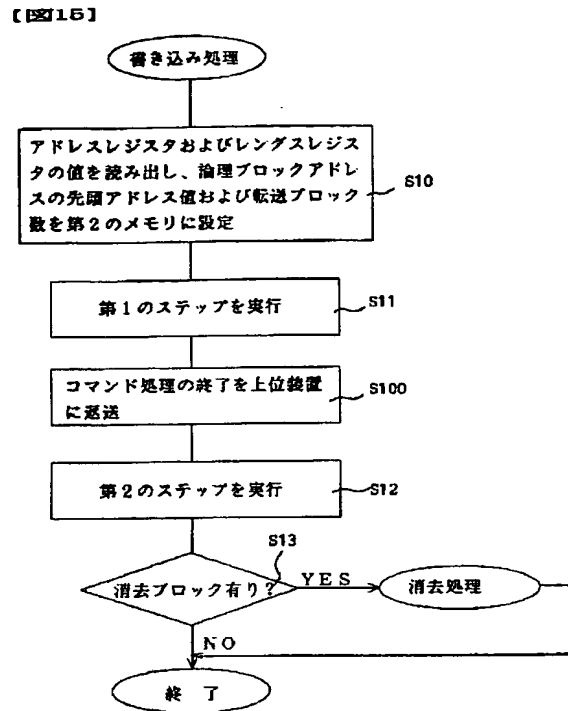
【図 19】



【図14】

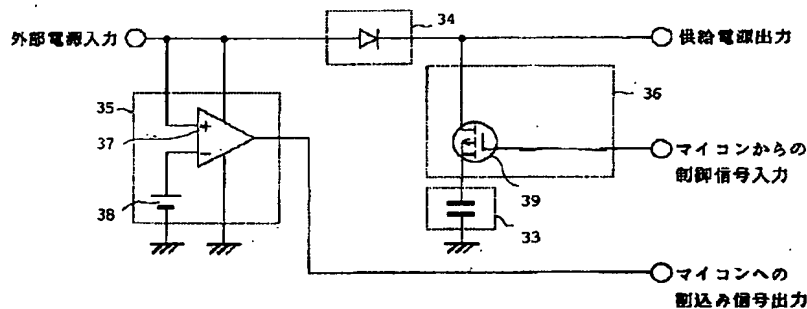


【図15】



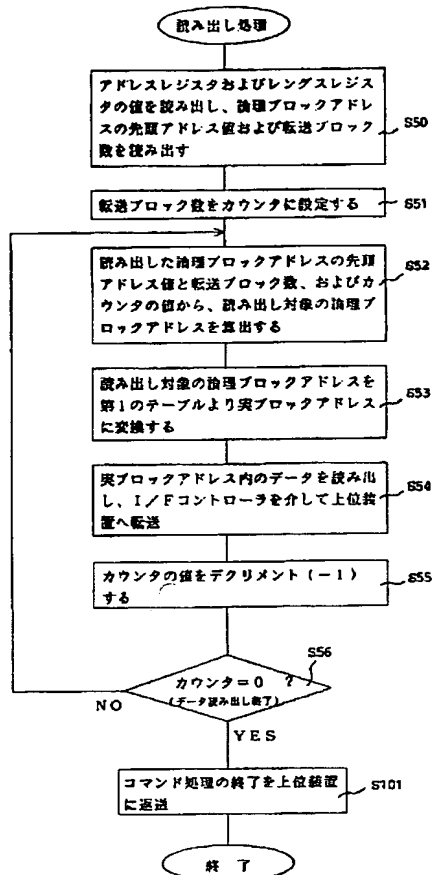
【図20】

【図20】



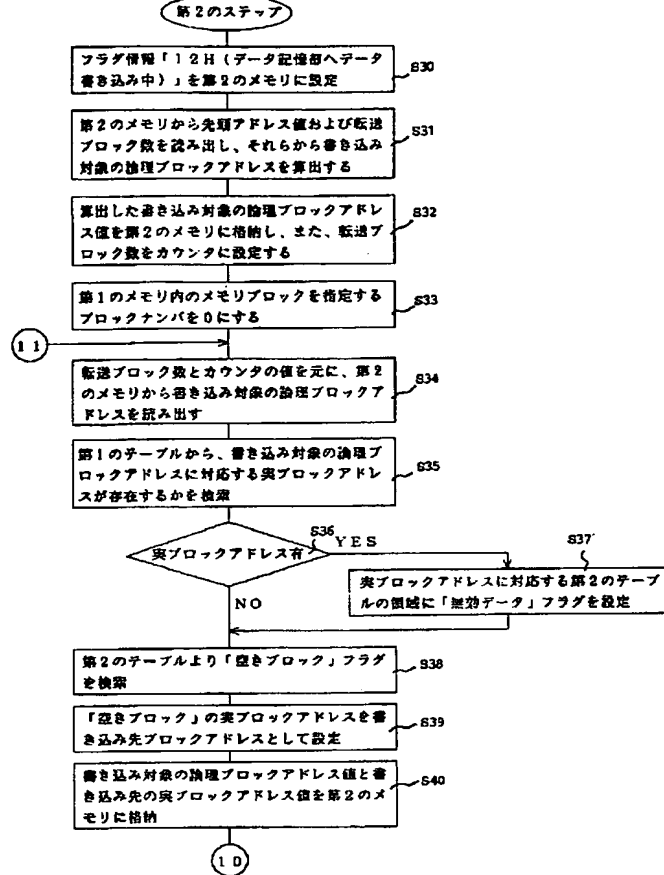
【図 16】

【図 16】



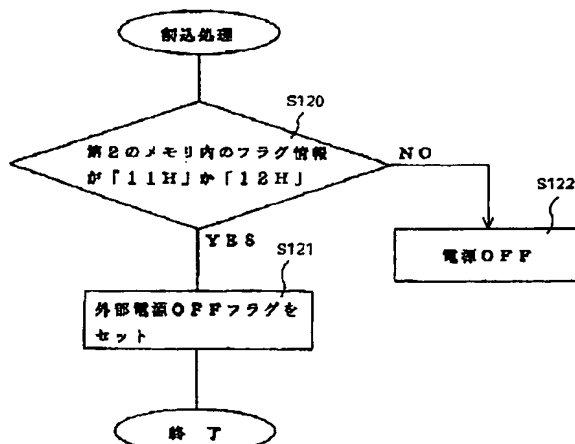
【図 21】

【図 21】



【図 23】

【図 23】



【図22】

【図22】

